

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-353880
 (43)Date of publication of application : 24.12.1999

(51)Int.Cl.

G11C 11/41

(21)Application number : 11-125702

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 06.05.1999

(72)Inventor : KEVIN TSUAN
DONALD R WEISS

(30)Priority

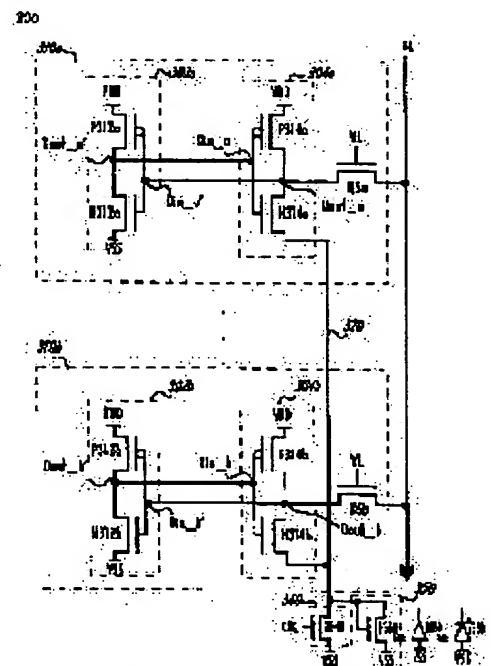
Priority number : 98 73670 Priority date : 06.05.1998 Priority country : US

(54) ASYMMETRIC DESIGN FOR SRAM CELL APPLIED TO HIGH-DENSITY MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a design for a single-end type SRAM cell.

SOLUTION: A design for a single-end type SRAM cell reduces the size of an SRAM, and it provides a high noise margin of a memory cell. A virtual ground line 320 is connected to sources of drive NFET's N314a, N314b in respective I/O port inverters 304a, 304b in respective memory cells 310a, 310b on a common bit-line column 300. An insulating mechanism 340 couples the virtual ground line 320 to a low reference voltage VSS during a readout operation and while '0' is being written into the memory cells 310a, 310b, and it insulates the virtual ground line 320 from the low reference voltage VSS while '1' is being written into the memory cells 310a, 310b. A clamp device 350 is coupled to the virtual ground line 320, it prevents the potential of the virtual ground line 320 from exceeding the threshold voltage of the insulating mechanism 340, and it prevents a value stored in one of the memory cells 310a, 310b coupled in common from being flipped when '1' is written into the memory cells 310a, 310b which are coupled in common.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application].

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(11) 特許出願公開番号

特開平11-353880

平成11年(1999)5月6日

[特許請求の範囲]

【請求項】 低基準電圧 (VSS) に切り替える可能に結合し得る仮想接地線 (320) と、

ピット線 (BL) と、

高基準電圧端子 (VDD) と、

複数の記憶セル (310a, 310b) であつてその各々が、

单一の入力/出力 (1/O) ポート (D_{out_a}, D_{out_b}) と、前記ピット線 (BL) 及び前記 1/O ポート (D_{out_a}, D_{out_b}) に結合され、前記入力/出力ポートを前記ピット線 (BL) に結合する選択信号に応じて切り替える手段 (N5a, N5b) と、前記高基準電圧端子 (VDD) と、前記仮想接地線 (320) と前記仮想接地線 (320) との間に結合され、第1のインバータ入力 (D_{in_a}, D_{in_b}) と第1のインバータ出力 (D_{out_a}, D_{out_b}) を有し、前記第1のインバータ出力 (D_{out_a}, D_{out_b}) に結合されている第1のCMOSインバータ (304a, 304b) と、前記第1のインバータ出力 (D_{out_a}, D_{out_b}) に結合された第2のインバータ入力 (D_{in_a}, D_{in_b}) と、前記第2のインバータ出力 (D_{out_a}, D_{out_b}) に結合された第2のCMOSインバータ (304a, 304b) とから成る、前記複数の記憶セル (310a, 310b) と、

低基準電圧 (VSS) の巻き込み中及び前記複数の記憶セル (310a, 310b) のいずれかの巻み取り中に、前記仮想接地線 (320) を前記低基準電圧 (VSS) に結合し、前記複数の記憶セル (310a, 310b) のいずれかへの高基準電圧 (VDD) の巻き込み中に、前記仮想接地線 (320) を前記低基準電圧 (VSS) から絶縁する絶縁構構 (340) と、及び前記仮想接地線 (320) が前記絶縁構構 (340) のしきい電圧を超えないように動作するクランプ装置 (350) とから成る、記憶モリ。

【発明の詳細な説明】

(54) [発明の名称] 高密度記憶装置に適用するSRAMセルの非対称デザイン

(57) [要約] 【発明の概要】 SRAMセルのデザインを提供すること

【解決手段】 ジグソード形SRAMセルデザインを提供すること、記憶セルの高いゲート电压を低減し、記憶セルの高いゲート电压を提供する。仮想接地線 (320) は共通トゲト線 (300) にある各記憶セル (310a, 310b) の各V_Gトゲト線 (304a, 304b) の駆動NFET (N314a, N314b) のリースに結合されている。絶縁構構 (340) は巻み取り中に仮想接地線 (320) を低基準電圧 (VSS) に結合し、記憶セル (310a, 310b) に「1」を書き込む中に仮想接地線 (320) から絶縁する。リーストゲト線 (350) は仮想接地線 (320) に結合され、仮想接地線 (320) の電位が絶縁構構 (340) のしきい電圧を超えることを防止し、共通に結合された記憶セル (310a, 310b) に「0」を書き込む際に仮想接地線 (320) を低基準電圧 (VSS) に「1」が書き込まれる際そのほかに記憶セル (310a, 310b) の高いゲート电压を防ぐことを防ぐ。

【発明の属する技術分野】 本発明は、一般的には電子記憶装置の分野に属する。

【背景技術】 SRAMセルは、SRAMセルはSRAMセルの構成要素の一つである。

【発明の効果】 本発明は、SRAMセルの構成要素の一つである。

【発明の詳細な説明】

(55) [発明の名称] 高密度記憶装置に適用するSRAMセルの非対称デザイン

(57) [要約] 【発明の概要】 SRAMセルのデザインを提供すること

【解決手段】 ジグソード形SRAMセルデザインを提供すること、記憶セルの高いゲート电压を低減し、記憶セルの高いゲート电压を提供する。仮想接地線 (320) は共通トゲト線 (300) にある各記憶セル (310a, 310b) の各V_Gトゲト線 (304a, 304b) の駆動NFET (N314a, N314b) のリースに結合されている。絶縁構構 (340) は巻み取り中に仮想接地線 (320) を低基準電圧 (VSS) に結合し、記憶セル (310a, 310b) に「1」を書き込む中に仮想接地線 (320) から絶縁する。リーストゲト線 (350) は仮想接地線 (320) に結合され、仮想接地線 (320) の電位が絶縁構構 (340) のしきい電圧を超えることを防止し、共通に結合された記憶セル (310a, 310b) に「0」が書き込まれる際そのほかに記憶セル (310a, 310b) の高いゲート电压を防ぐ。

【発明の属する技術分野】 本発明は、一般的には電子記憶装置の分野に属する。

【背景技術】 SRAMセルは、SRAMセルはSRAMセルの構成要素の一つである。

【発明の効果】 本発明は、SRAMセルの構成要素の一つである。

【発明の詳細な説明】

(56) [発明の名称] 高密度記憶装置に適用するSRAMセルの非対称デザイン

(57) [要約] 【発明の概要】 SRAMセルのデザインを提供すること

【解決手段】 ジグソード形SRAMセルデザインを提供すること、記憶セルの高いゲート电压を低減し、記憶セルの高いゲート电压を提供する。仮想接地線 (320) は共通トゲト線 (300) にある各記憶セル (310a, 310b) の各V_Gトゲト線 (304a, 304b) の駆動NFET (N314a, N314b) のリースに結合されている。絶縁構構 (340) は巻み取り中に仮想接地線 (320) を低基準電圧 (VSS) に結合し、記憶セル (310a, 310b) に「1」を書き込む中に仮想接地線 (320) から絶縁する。リーストゲト線 (350) は仮想接地線 (320) に結合され、仮想接地線 (320) の電位が絶縁構構 (340) のしきい電圧を超えることを防止し、共通に結合された記憶セル (310a, 310b) に「0」が書き込まれる際そのほかに記憶セル (310a, 310b) の高いゲート电压を防ぐ。

【発明の属する技術分野】 本発明は、一般的には電子記憶装置の分野に属する。

【背景技術】 SRAMセルは、SRAMセルはSRAMセルの構成要素の一つである。

【発明の効果】 本発明は、SRAMセルの構成要素の一つである。

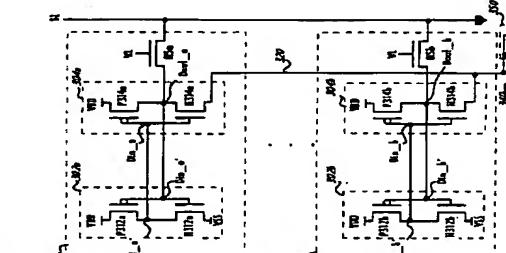
【発明の詳細な説明】

(55) [発明の名称] 高密度記憶装置に適用するSRAMセルの非対称デザイン

(57) [要約] 【発明の概要】 SRAMセルのデザインを提供すること

【解決手段】 ジグソード形SRAMセルデザインを提供すること、記憶セルの高いゲート电压を低減し、記憶セルの高いゲート电压を提供する。仮想接地線 (320) は共通トゲト線 (300) にある各記憶セル (310a, 310b) の各V_Gトゲト線 (304a, 304b) の駆動NFET (N314a, N314b) のリースに結合されている。絶縁構構 (340) は巻み取り中に仮想接地線 (320) を低基準電圧 (VSS) に結合し、記憶セル (310a, 310b) に「1」を書き込む中に仮想接地線 (320) から絶縁する。リーストゲト線 (350) は仮想接地線 (320) に結合され、仮想接地線 (320) の電位が絶縁構構 (340) のしきい電圧を超えることを防止し、共通に結合された記憶セル (310a, 310b) に「0」が書き込まれる際そのほかに記憶セル (310a, 310b) の高いゲート电压を防ぐ。

図1: SRAMセルの構造図



動N-FET)のしきい電圧を超えないようになると、ランプ装置が駆けられてこの機能を実行する。好適な施設館においては、ドレイン及びゲートが仮想接地線に結合し、ソースが低基準電圧と結合するN-FETを用いてランプ装置を実現している。

[0007] 本発明によれば、1記憶セルにつき1個のアクセスランジスタ、及び1カラムにつき1本のカラム線を非絶することにより、高密度記憶アリケーション用SRAMアレイの面積を大幅に節約できると同時に、設計者にとっては個々の記憶セル中の2個のインパートのトリガポイントを調整できるという利点が生まれる。更に、セルの高いレイマージンを持たせるために個々の記憶セルを常に開閉させることができるのである。

[0008] 本発明は等の機能を有する要素にはは同様の符号で示された添付図面と共に、以下に説明した本発明の現時点での実施形態により本発明に対するより深い理解が得られるであろう。

【0009】**【発明の実施の形態】**本発明の新規な特徴については、図1及び図2に示されるよう從来技術を参照することによってより深い理解が得られるであろう。図1は從来型IMXのSRAMアレイ100のプロック圖である。アレイ100はn本の行とn本のカラム(例)に配列された複数の記憶セル110が含まれる。個々の記憶セル110は、相互排他的な2つの自己保持動作状態の1つにおける動作により特徴づけられるビット値を保持する。動作状態の各々は、2個の可能なバイナリビット値、「0」又は「1」のうちの1つを定義する。從来技術のSRAMアレイ100は差動回路技術を用いて実現される。個々の記憶セル110には、本明細書においてそれぞれ記憶1ノボート1-1及び反転1ノボート1-4として示される1対の差動入力/出力(1ノボート1-1, 1ノボート1-2, 1ノボート1-3, 1ノボート1-4)が駆けられ、それらは互に反転した電圧レベルを常に保持する。

【0010】同一のカラム中にある記憶セル110の各々は、CL1とCL1'からCLnとCLn'。(カラム0からn)として示されている共通の差動ビット線対CL1, CL1', CLn, CLn'を共用している。記憶セル110の各々は、位置的にWL1からWLmとして示されるワード線信号WLに呼応して、その差動入力/出力ボート1-1, 2, 1-4をそれぞれのカラムの差動ビット線対CL1, CL1', CLn, CLn'と結合する。カラム選択回路(図示せず)は、読み取る又は駆け込むべき特徴的なワードの差動ビット線対CL1, CL1'を選択する。ワード選択回路(図示せず)は、所望の記憶セル110のワード選択信号WLを活性化する。最も簡単な実施様においては、セルアレイの同じ行にワード中の個々のビットがある。他の構成においては、ビット群り事を低減する為に所定のワードの個々のビットはSRAMアレイの異なる場所にある。特定の記憶セルの読み取りには、セルのそれぞれの差動1ノボート1

1.1.2, 1.1.4をその対応するカラム線CL, CL' と接続するに所望の記憶セルのワード線假想WLIを活性化させる。所望の記憶セル11.0への書き込みには、まずセルのそれぞれのカラム線CL, CL' に選択した相補論理電圧を印加し、その後セルのワード線假想WLIを活性化してそれら論理電圧をセルのそれぞれのポート11.0, ポート11.2, 1.1.4と接続することが含まれる。これにより11.0ポート11.2, 1.1.4が選択される。この状態が記憶セルへの電源供給された論理電圧となり、この状態が記憶セルに再書き込まれるまで保持される。これにより記憶セルが読み取れる。

トランジスタT1、T2は、通常回路電圧に結合される。負荷トランジスタT1、T2はVDDで示される高基準、すなわち回路供給電圧と、対応する駆動トランジスタT1、T2のドレイン電圧と、の間に直列に接続される。負荷トランジスタT1、T2のゲートは対応する駆動トランジスタT1、T2のゲートに接続される。

[0013] インバータ202は駆動トランジスタN1及び負荷トランジスタP1のドレインにより形成されるインバータ出力D1'を有する。同様に、インバータ204は駆動トランジスタN2のドレイン及び負荷トランジスタP2のドレインにより形成されるインバータ出力D1"を有する。インバータ202は駆動トランジスタN1のゲート及び負荷トランジスタP1のゲートに、インバータ204は駆動トランジスタN2のゲート及び負荷トランジスタP2のゲートに、それぞれ接続される。

（0014）インバータ202、204の入力及び出力は交差結合して1対の相補型2状態出力を有するブリッフロップを形成する。即ち、インバータ出力D1'は、111はインバータ出力D1'に交差結合し、インバータ出力D1'に交差結合する。この構成においては、インバータ出力D1、D1'がブリッフロップの相補型2状態出力を形成する。

（0015）上述したメモリブリッフロップが図1に示されるSRAMアレイ100のようなスタイルで構成される。アクセストラニジタN3、N4のような複数

記憶セル200は、ワード線信号WLを活性化してインバータ出力D1、D1'をそれとのカラム線CL、CL'に接続することにより読み取られる。記憶セル200は、まず選択された相補論理駆動をカラム線CL、CL'上に印加し、そしてD線信号D1を活性化してこれらににより書き込まれる。これに、D1'に接続することにより書き込まれる。

より出力D1、D1'は選択された論理電圧となり、セレクタ200への電源供給が解く限り、又は記憶セル200が再書き込まれるまでこれが保持される。

[0017] 記憶セル200が双安定であると見るのは、それはが2つの異なる出力電圧に対する2つの安定状態、即ち自己保持型動作状態を有するのである。外部からの刺激がないければ記憶セル200はその2つの動作状態のうちの一つだけで継続的に動作する。電源を受け

【0020】図3はSRAMメモリのカラム300の路図であり、本発明によるシングルエンド配線セルデザイ

[10.0.2.1] インバータ3 0 2 a、3 0 4 a の入力及び出力は双安定リップフロップを形成するように交差結合されている。インバータ出力 $D_{out,a}$ は、セル3 1 0 の2つの状態出力の1つを形成する。 -

[10.0.2.3] 記憶セル3 1 0 b は階層セル3 1 0 a と同一に構成されており、図3中にbの階層別符号が付加され、同一の終端端子を示されている。

【0024】駆動トランジスタN314a、N314b
【0028】絶縁構造340は制御信号CTLに応

ト線Bに結合されたセル3 1 0 a - 3 1 0 bのいずれかに「1」を書き込む場合は、NFBET N 3 4 0はOFFされる。よって駆動トランジスタN 3 1 4 aのソース領域はアースへの直通経路を失い、1/0ポートD出力はピット録B上の高差電圧により駆動高くへと引き上げられる。

[0 0 3 0] 仮想接地機能は、セル3 1 0 a又は3 1 0 bに「1」を書き込む場合、駆動トランジスタN 3 1 4 a又はN 3 1 4 bをそれ自身で駆動するよううまく動作する。しかししながら、カラム3 0 0上の所定のセル3 1 0 a又は3 1 0 b (例えは記憶セル3 1 0 a)への「1」書き込みは、絶縁機能NFBET N 3 4 0のドレインを、同じカラム中のセル3 1 0 bのインバータ3 0 4 bを不用意にリップしてしまうに十分な高レベルにまで上げてしまう可能性がある。従って本説明は、いくつかの共通に結合したシングルエンド形記憶セル3 1 0 a、3 1 0 bの1つに「1」を書き込む場合において、記憶セルの不安定性を阻止する機能を説いた。この機能は、図3にトランジスタNFBET N 3 5 0として詳細に示されたクランプ装置3 5 0により提供される。クランプ装置3 5 0の機能及び目的は、駆動接地線3 2 0上の電圧をクランプして絶縁機能3 4 0のしない電圧を超えてきれないようにすることである。好適な実施態様においては、クランプ装置3 5 0はゲート及びドレインが仮想接地線3 2 0に結合され、ソースが基準電圧VSSに結合されたNFBET N 3 5 0を用いて実現されている。この構成では仮想接地線3 2 0が絶縁機能3 4 0のしきい電圧を超えることはなく、従って所定のカラム3 0 0中の記憶セル3 1 0 aに「1」が書き込まれる間、他の共通に結合されたセル3 1 0 bのいずれかがその記憶

セイシングによって駆動され、アースとの間に問題を生じる。即ち、アクセストランジスタN 5 a、N 5 bは、より強い駆動トランジスタN 3 1 4 a、N 3 1 4 bでは、まさにこのトランジスタN 3 1 4 a、N 3 1 4 bを無効にするには弱すぎるるのである。更に、読み取り動作中の安定性を損するので、駆動トランジスタN 3 1 2 a、N 3 1 2 bは負荷トランジスタP 3 1 2 a、P 3 1 2 bよりも比較的強くサイシンゲートするのででセル3 1 0 a、3 1 0 bに「0」を記憶させた場合の都合が良いようインバータ3 0 2 a、3 0 2 bのドリガポイントを駆動してあり、従ってセル3 1 0 a、3 1 0 bに「1」を書き込む場合には弱いアクセス

負荷が増えるのである。

[0 0 2 7] すべて「0」の読み取り中のセル安定性を

した値を留めないとアリップしてしまうことを回避するのである。クランプ装置350は、かわりに鋼製工程において作ったダイオードD350又はツェーナータダイオードZ350のようないし、NFTN350のクランプ機能を実現するため複数のステップを要する機構を用いて実現しても良い。

【0031】従来技術に比して本発明が幾つかの独自の利点を有することは上記の説明から明らかであろう。それらの利点の中には、SRAMアレイ全体におけるアクセストランジスタの数及びカラム線の数を削減するためのシングルエンド形トランジスタ配像セルの利用が可能なものがある。その他の利点としては、プレチャージされた読み取り動作と、書き込み動作中に「1」を書き込むこととの間に競合してしまってデザインゴールを不達成し得る確固としたデザインがあげられる。更なる利点は、その確固たるデザイン故に、セル中の2箇のインバータの切り替えポイントを個別に調整してセルの高いノイズ

マシンを提供することである。

〔10.0.3.2〕 本発明をただ 1 つの好適な実施態様に基づづき図示、及び説明した。本発明の思想及び範囲から逸脱すること無く様々な変更が可能であることは当業者には明らかであろう。本発明は本明細書の請求項によつてのみ制約されることを意図したものである。

〔10.0.3.3〕 以下に示すものは、本発明の種々の構成要件の組合せからなる例示的実施態様を示す。

$Dout_b$) に結合され、前記入力／出力ポートを前記ヒット線 (BL) に結合する選択信号に呼応する切り替え手段 (N5_a, N5_b) と、前記基板接続端子 (D) との間に結合され、前記板接続端子 (D3, 2, 0) の間に結合され、前記1のインバータ入力 (Din_a , Din_b) と前記1のインバータ出力 ($Dout_a$, $Dout_b$) を有し、前記1のインバータ出力 ($Dout_a$, $Dout_b$) が前記1／0ポート

(Dout_a, Dout_b) に結合されている第1のCMOSインバータ (3.04 a, 3.04 b) と、前記第1のインバータ出力 (Dout_a, Dout_b) に結合された第2のインバータ入力 (Din_a, Din_b) と、前記第1のインバータ出力 (Dout_a, Dout_b) に結合された第2のインバータ (3.02 a, 3.02 b) とから成るCMOSインバータ (3.02 a, 3.02 b) とから成る。

る、前記複数の記憶セル（310a、310b）と、低基準電圧（VSS）の書き込み及び前記複数の記憶セル（310a、310b）のいずれかの読み取り中に、前記想定地線（320）を前記基準電圧（VSS）に結合し、前記複数の記憶セル（310a、310b）

のいすれかへの高基準電圧 (VDD) の電圧込み中に、前記配取接地線 (3 2 0) を前記低基準電圧 (VSS) から離れる絶縁構成 (3 4 0) と、及び前記反接続地線 (3 2 0) が前記絶縁構成 (3 4 0) のしきい電圧を超えないように動作するランプ装置 (3 5 0) から成る、記憶メモリ。
〔001351〕2. 前記ランプ装置 (3 5 0) がNFE (001350) を含み、前記NFE (001350) が前記配取接地線 (3 2 0) に結合されるドライン及びゲートを有する、前記低基準電圧 (VSS) に結合されるソースと、

〔00361〕3. 前記クランプ装置（350）がダイオード（D350）を含み、前記ダイオード（D350）が前記配線遮断接線（320）に結合される出力と前記低基準電圧（VSS）に結合される入力を1項又は2項の記憶メモリ。

〔0037〕4. 前記クランプ装置（350）がツエナダイオード（Z350）を含み、前記ツエナダイオード（Z350）が前記配線遮断接線（320）に結合される出力と前記低基準電圧（VSS）に結合される入力を1項又は3項の記憶メモリ。

〔0038〕5. 前記遮断機械（340）が、前記遮断接線（320）に結合されるドラインと、前記低基準電圧（VSS）に結合されるサスティンドレインとの間に接続する。

記第2のインバータ出力 (D_{out_a} 、 D_{out_b}) と前記低基準電圧 (VSS)との間にドレインソースで結合される第4のFET (N_{312a} 、 N_{312b}) とから成り、前記第2のインバータ入力 (D_{in_a} 、 D_{in_b}) が前記第3のFET (P_{312a} 、 P_{312b}) 及び前記第4のFET (N_{312a} 、 N_{312b}) 各々のゲートに結合され、前記第1のインバータ出力 (D_{out_a} 、 D_{out_b}) が前記第2のインバータ入力 (D_{in_a} 、 D_{in_b}) に結合され、前記第2のインバータ出力 (D_{out_a} 、 D_{out_b}) が前記第1のインバータ入力 (D_{in_a} 、 D_{in_b}) に結合される、上記1項から5項の何れかの記憶メモリ。

[0040] 7. 前記切り替え手段 (N_{5a} 、 N_{5b}) が前記1/Oポート (D_{out_a} 、 D_{out_b}) と前記ビット線 (BL) との間にドレインソースで結合され、前記選択信号 (WL) に結合されるゲートを有するFETを含む、上記1項から6項の何れかの記憶メモリ。

[0041] 8. 各々の記憶セル ($310a$ 、 $310b$) が同じカラム (300) の要素を成し、共通のビット線 (BL) に切り替え可能に結合される入力/出力 (1/O) ポート (D_{out_a} 、 D_{out_b}) を含む複数の記憶セル ($310a$ 、 $310b$) と、ドラインドレインの関係で高基準電圧 (VDD) と反接地線 (320)との間に結合される第1のN-FET (N_{314a} 、 N_{314b}) 及び第1のP-FET (P_{314a} 、 P_{314b}) から成る第1のインバータ ($304a$ 、 $304b$) と、前記反接地線 (320) が低基準電圧 (VSS) に切り替え可能に結合され、前記第1のインバータ ($304a$ 、 $304b$) に結合されて双安定フリップフロップを形成する第2のインバータ ($302a$ 、 $302b$) とから成るスタティックランダムアクセスメモリ (SRAM) アレイにおいて、前記記憶セル ($310a$ 、 $310b$) に前記高基準電圧 (VDD) の書き込みの間に前記第1のインバータ ($304a$ 、 $304b$) の前記第1

のN-FET (N_{314a} 、 N_{314b}) を弱める方の方法であつて、前記反接地線 (320) が前記絶縁構成 (340) のしきい電圧を越えないように前記反接地線 (320) をクランプ (350) するステップと、前記複数の記憶セル ($310a$ 、 $310b$) のいずれかに低基準電圧 (VSS) の書き込み、もしくは読み取りの間、前記反接地線 (320) を前記高基準電圧 (VDS) に結合するステップと、前記複数の記憶セル ($310a$ 、 $310b$) のいずれかに前記高基準電圧 (VDD) の書き込みの間は前記反接地線 (320) を前記低基準電圧 (VSS) から絶縁するステップとから成る、方法。

[0042] [発明の効果] 本発明により、読み取り動作中の安定性と書き込み動作中の高速性を併し得るシングルエンド形記憶セルデザインが提供される。

[図面の筋出説明]

[図1] 従来技術によるSRAMアレイの構造図である。

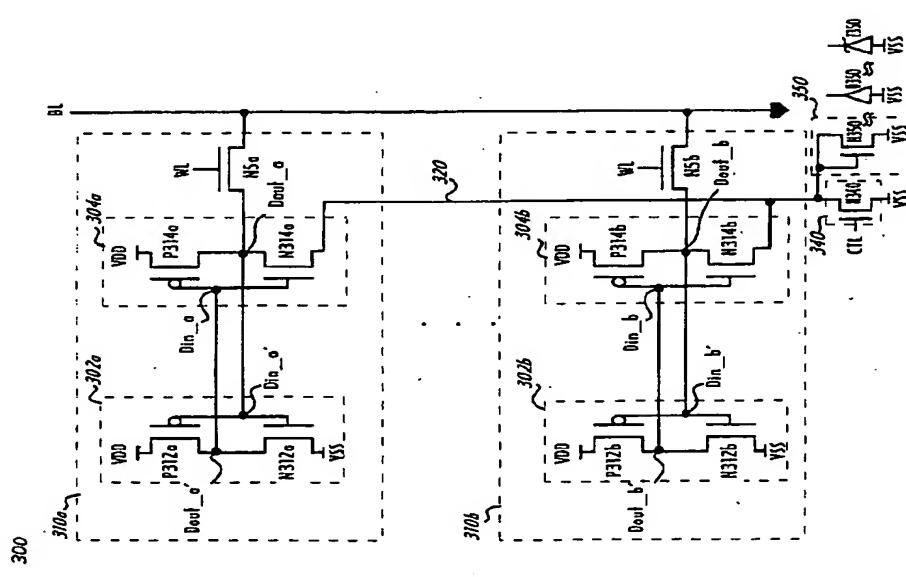
[図2] 従来技術による従来型SRAMセルのブロック図である。

[図3] 本発明による記憶セルの構造図である。

[符号の説明]

100 SRAMアレイ
200 6トランジスタスタティック読み取り/書き込み記憶セル
302a,302b,304a,304b CMOSインバータ
310a,310b 記憶セル
320 反接地線
340 絶縁構成
350 クランプ装置
D350 ダイオード
Z350 シューナーダイオード

[図3]



フロントページの続き

(72) 説明者 ドナルド・アール・ウエイス
 アメリカ合衆国コロラド州80525、フォー
 ト・コリンズ、モッキンバード・ドライ
 ブ・7951